

PATENT ABSTRACTS OF JAPAN

(11)Publication number :08-153188

(43)Date of publication of application : 11.06.1996

(51)Int.Cl.

G06T 1/60

G06T 9/00

H03M 7/30

H03M 7/40

H04N 1/41

H04N 7/30

(21)Application number : 06-293020

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 28.11.1994

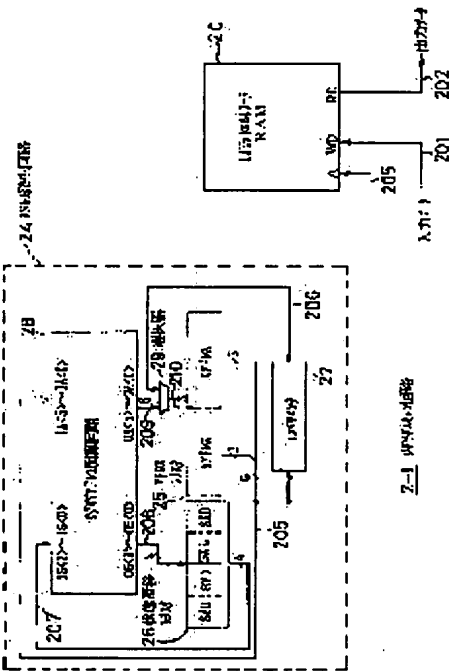
(72)Inventor : KOMOTO EIJI

(54) ZIGZAG SCANNING CIRCUIT

(57)Abstract:

PURPOSE: To provide a small-sized zigzag scanning circuit which can perform fast processing.

CONSTITUTION: A zigzag address generating means is featured which generates addresses changing in a zigzag scan shape in an address generating circuit. A change state of two successive address in the zigzag scan shape is in one of plural kinds of state. Therefore, when a current address and state transition are fixed, a next address and next state transition can be fixed. The current address is held in a zigzag address register 25. A state transition parameter prescribing the transition state from the current address to the next address or a transition state at the time of a change to the current address is held in a state transition register 26. A zigzag address arithmetic circuit 28 finds the address and state transition parameter in next timing on the basis of the current address and state transition parameter and re-stores them in a corresponding register.



LEGAL STATUS

[Date of request for examination]11.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]3578497

[Date of registration]23.07.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-153188

(43) 公開日 平成 8 年 (1996) 6 月 11 日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 T 1/60

9/00

H 0 3 M 7/30

A 9382-5K

G 0 6 F 15/ 64

4 5 0 G

15/ 66

3 3 0 H

審査請求 未請求 請求項の数 5 O L (全 16 頁) 最終頁に続く

(21) 出願番号 特願平6-293020

(22) 出願日 平成 6 年 (1994) 11 月 28 日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門 1 丁目 7 番 12 号

(72) 発明者 湖本 英治

東京都港区虎ノ門 1 丁目 7 番 12 号 沖電気
工業株式会社内

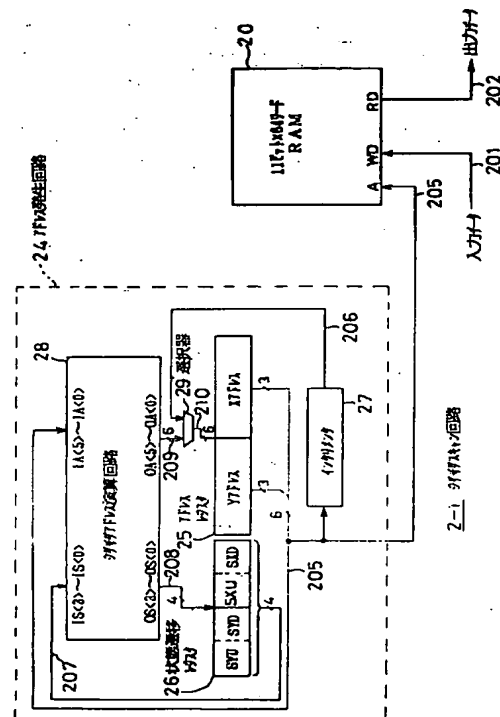
(74) 代理人 弁理士 工藤 宜幸 (外 2 名)

(54) 【発明の名称】 ジグザグスキャン回路

(57) 【要約】

【目的】 高速処理が可能な小形のジグザグスキャン回路を提供する。

【構成】 アドレス発生回路内のジグザグスキャン状に変化するアドレスを発生するジグザグスキャン状アドレス発生手段に特徴を有する。ジグザグスキャン状での相前後する 2 個のアドレスの変化状態に着目すると、数種類の状態のいずれかである。従って、現アドレスと状態遷移が定まると、次のアドレスと次の状態遷移を定めることができ、この性質を利用することとした。現アドレスをジグザグアドレスレジスタ 25 に保持する。現アドレスから次のアドレスへの遷移状態又は現アドレスに変化した際の遷移状態を規定する状態遷移パラメータを状態遷移レジスタ 26 に保持する。ジグザグアドレス演算回路 28 が、現アドレス及び状態遷移パラメータに基づいて、次のタイミングでのアドレス及び状態遷移パラメータを求めて対応レジスタに再格納させる。



【特許請求の範囲】

【請求項 1】 入力データを一時記憶する RAM と、この RAM に与える書込みアドレス及び読出しアドレスを発生するアドレス発生回路とを備え、上記アドレス発生回路が書込みアドレスの変化順序と読出しアドレスの変化順序を変えることにより、ラスタスキャン状のデータ順序とジグザグスキャン状のデータ順序との間で入力データの順序を変換するジグザグスキャン回路において、上記アドレス発生回路が、ラスタスキャン状に変化するアドレスを発生するラスタスキャン状アドレス発生手段と、ジグザグスキャン状に変化するアドレスを発生するジグザグスキャン状アドレス発生手段と、上記 RAM へのアクセスモードに応じて、上記ラスタスキャン状アドレス発生手段又は上記ジグザグスキャン状アドレス発生手段からのアドレスを選択する選択手段とでなり、上記ジグザグスキャン状アドレス発生手段が、ジグザグスキャン状に変化するアドレスを保持するジグザグアドレスレジスタと、
現アドレスから次のアドレスへの遷移状態、又は、前アドレスから現アドレスに変化した際の遷移状態を規定する状態遷移パラメータを保持する状態遷移レジスタと、上記ジグザグアドレスレジスタに保持されている現アドレスと、上記状態遷移レジスタに保持されている状態遷移パラメータとに基づいて、次のタイミングでのアドレス及び状態遷移パラメータを求めるジグザグアドレス演算回路とをなすことを特徴とするジグザグスキャン回路。

【請求項 2】 上記ラスタスキャン状アドレス発生手段が、現アドレスを保持するラスタアドレスレジスタと、このラスタアドレスレジスタに保持されているアドレスを 1 インクリメントするインクリメントとでなり、上記ジグザグアドレスレジスタと上記ラスタアドレスレジスタとを 1 個のレジスタで共用させると共に、上記ジグザグアドレス演算回路及び上記共用レジスタ間で、しかも、上記インクリメント及び上記共用レジスタ間の位置に上記選択手段を設けたことを特徴とする請求項 1 に記載のジグザグスキャン回路。

【請求項 3】 上記 RAM として 2 個を用い、上記選択手段として各 RAM 用に 2 個を設けると共に、2 個の上記 RAM からの読出しデータを選択する出力データ選択手段を設け、
2 個の上記選択手段を対称的に動作させ、上記ラスタスキャン状アドレス発生手段からのアドレスを一方の上記 RAM に与えているときに、上記ジグザグスキャン状アドレス発生手段からのアドレスを他方の上記 RAM に与え、読出し動作中の上記 RAM からのデータを上記出力データ選択手段で選択させることを特徴とする請求項 1 に記載のジグザグスキャン回路。

【請求項 4】 入力データを一時記憶する RAM を備え、この RAM へのデータ書込み及びデータ読出しを通

じて、ラスタスキャン状のデータ順序とジグザグスキャン状のデータ順序との間で入力データの順序を変換するジグザグスキャン回路において、

上記 RAM が、

入力データを記憶する RAM セルアレイと、

入力アドレスをデコードして、上記 RAM セルアレイの所定のエリアをアクセス可能とさせる、ラスタスキャン状に対応する第 1 のアドレスデコーダと、

上記入力アドレスをデコードして、上記 RAM セルアレイの所定のエリアをアクセス可能とさせる、ジグザグスキャン状に対応する第 2 のアドレスデコーダと、

上記 RAM セルアレイ及び上記第 1 のアドレスデコーダ間を接続又は切断させる第 1 の接続／切断手段と、

上記 RAM セルアレイ及び上記第 2 のアドレスデコーダ間を接続又は切断させる、しかも、その制御状態が上記第 1 の接続／切断手段による制御状態と逆である第 2 の接続／切断手段とで構成されていると共に、

上記 RAM に与えるアドレスを発生するアドレス発生回路を備えていることを特徴とするジグザグスキャン回路。

【請求項 5】 上記 RAM として 2 個を用いると共に、2 個の上記 RAM からの読出しデータを選択する出力データ選択手段を設け、一方の上記 RAM に入力データを書き込んでいるときに、他方の上記 RAM から格納データを読出し、その読出しデータを上記出力データ選択手段で選択させることを特徴とする請求項 4 に記載のジグザグスキャン回路。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】 本発明は、データ順序を変換するジグザグスキャン回路に関し、特に、画像符号化／復号化装置に適用して好適なものである。

【 0 0 0 2 】

【従来の技術】 画像信号を符号化して伝送する場合において、仮に同じ伝送量を伝送するのであれば、低域成分の情報量を高域成分の情報量より多くした方が、人間の視覚特性により合致した再生画像が得られる。換言するならば、圧縮率を高めるのならば、高域成分をより圧縮した方が人間の視覚特性により合致した再生画像が得られる。このような観点に鑑みてなされた画像符号化方式が提案されており、このような画像符号化方式では、画像の量子化データを、水平方向及び垂直方向の周波数成分に応じて並び換えるジグザグスキャンを適用している。

【 0 0 0 3 】 このような画像符号化方式に従う画像圧縮／伸張アルゴリズムの中で用いられているジグザグスキャンは、ハードウェア構成的には、図 2 に示すように、量子化／逆量子化回路 1 と、ハフマン符号化／復号化回路 3 との間に存在するジグザグスキャン回路 2 が実行するプロセスであり、例えば、64 個のデータを仮に図 3

(a) に示すような方形状に配置して考えたときに、図3 (b) に示すラスタスキャン状のデータ順序と、図3 (c) に示す斜め方向に往復するジグザグスキャン状のデータ順序との間でデータ順序を変換するという働きを持っている。

【0004】画像圧縮時には、量子化／逆量子化回路1で量子化されたDCT（離散コサイン変換）係数がデータ線101を介してジグザグスキャン回路2に入力され、ジグザグスキャン回路2によって、そのデータ順序が図3 (c) に示すジグザグスキャン状に変換され、データ線102を介して、ハフマン符号化／復号化回路3に入力され、可変長符号化される。

【0005】逆に、画像伸張時には、ハフマン符号化／復号化回路3によってDCT係数に復号されたデータは、データ線102を介してジグザグスキャン回路2に入力され、ジグザグスキャン回路2によって、ジグザグの順序であったデータが図3 (b) に示す元の並びに逆変換され、データ線101を介して量子化／逆量子化回路1に入力される。

【0006】図4は、ジグザグスキャン回路2を単純にハードウェア化した場合に考えられる構成例を示したものである。

【0007】図4において、64ワード（1ワードは11ビット）のデータの順序は、RAM20の書込み、読出しを通じて変換され、かかる変換のために、書込みアドレス及び読出しアドレスの変化順序が異なっている。

【0008】以下、図4に示すジグザグスキャン回路2の画像圧縮時の動作、すなわち、図3 (b) に示すデータ順序を図3 (c) に示すデータ順序に変換する動作を、書込みアドレス及び読出しアドレスの変化を中心に説明する。

【0009】カウンタ22は6ビットのものであり、アドレス0～63を64サイクルかかって、アドレス変換ROM21及び選択器23に順次出力していく。RAM20に入力データ201を書込む際には、選択器23はカウンタ22の出力アドレス203を選択する状態になっており、選択されたアドレス205がRAM20に与えられる。かくして、RAM20には、0、1、2、3、…、63と変化する図3 (d) に示す書込みアドレスが与えられ、各アドレスエリアに入力データ201が格納される。アドレス変換ROM21は、カウンタ22からの0から63まで1インクリメントずつ変化するアドレス203を、図3 (c) に示すジグザグスキャン状（0、1、8、16、…、64）に変化するアドレス204に変換するものである。RAM20から出力データ202を讀出す際には、選択器23はROM21の出力アドレス204を選択する状態になっており、選択されたアドレス205がRAM20に与えられる。かくして、RAM20には、0、1、8、16、…、64と変化する図3 (d) に示す読出しアドレスが与えられ、各

アドレスエリアからデータ202が出力される。

【0010】一方、画像伸張時においては、入力データ201をRAM20に順次書込む際に、図3 (e) に示すようにアドレス変換ROM21からのアドレス204が書込みアドレスとして選択され、RAM20から格納データ202を讀出す際には、図3 (e) に示すようにカウンタ22からのアドレス203が読出しアドレスとして選択され、ジグザグスキャン状のデータ201が元のラスタスキャン状のデータ202に変換される。

【0011】

【発明が解決しようとする課題】しかしながら、図4に示すジグザグスキャン回路2では、ROM21を利用してデータ順序変換用の一方のアドレスを発生しているため、以下のような課題を有するものであった。

【0012】クロック同期形のROM21を用いた場合には、ROM21にアドレスを入力させてデータ（変換アドレス）を讀出すサイクルと、読み出された変換アドレスをRAM20に与えるサイクルとが必要となり、1個のデータをRAM20にアクセスさせるのに2サイクル必要となって処理速度が低速となる。これを避けようとする、ROM21をパイプライン的に動作させることを要するが、セレクトレジスタ等が必要となって構成が複雑になる。なお、非同期形のROM21は、消費電力が大きいと共に、処理速度はクロック同期形のものより遅い。

【0013】ROM21は、他の集積回路に比べて占有面積が大きく、ジグザグスキャン回路の小形化には適していない。また、ROM21をRAM20と同一の集積回路チップ内に形成するとしても、その占有面積が大きいことは他の構成用の面積を制限してしまう。

【0014】そのため、データ順序の変換を高速に実行できるジグザグスキャン回路や、小形化に寄与できるジグザグスキャン回路が望まれている。

【0015】

【課題を解決するための手段】かかる課題を解決するため、第1の本発明は、入力データを一時記憶するRAMと、このRAMに与える書込みアドレス及び読出しアドレスを発生するアドレス発生回路とを備え、アドレス発生回路が書込みアドレスの変化順序と読出しアドレスの変化順序を変えることにより、ラスタスキャン状のデータ順序とジグザグスキャン状のデータ順序との間で入力データの順序を変換するジグザグスキャン回路において、以下のようにしたことを特徴とする。

【0016】すなわち、アドレス発生回路が、ラスタスキャン状に変化するアドレスを発生するラスタスキャン状アドレス発生手段と、ジグザグスキャン状に変化するアドレスを発生するジグザグスキャン状アドレス発生手段と、RAMへのアクセスモードに応じて、ラスタスキャン状アドレス発生手段又はジグザグスキャン状アドレス発生手段からのアドレスを選択する選択手段とでなっ

ている。そして、そのうちのジグザグスキャン状アドレス発生手段を、(1) ジグザグスキャン状に変化するアドレスを保持するジグザグアドレスレジスタと、(2) 現アドレスから次のアドレスへの遷移状態、又は、前アドレスから現アドレスに変化した際の遷移状態を規定する状態遷移パラメータを保持する状態遷移レジスタと、(3) ジグザグアドレスレジスタに保持されている現アドレスと、状態遷移レジスタに保持されている状態遷移パラメータとに基づいて、次のタイミングでのアドレス及び状態遷移パラメータを求めるジグザグアドレス演算回路とで構成したことを特徴とする。

【0017】また、第2の本発明は、入力データを一時記憶するRAMを備え、このRAMへのデータ書込み及びデータ読出しを通じて、ラスタスキャン状のデータ順序とジグザグスキャン状のデータ順序との間で入力データの順序を変換するジグザグスキャン回路において、以下のようにしたことを特徴とする。

【0018】すなわち、RAMを、(1) 入力データを記憶するRAMセルアレイと、(2) 入力アドレスをデコードして、RAMセルアレイの所定のエリアをアクセス可能とさせる、ラスタスキャン状に対応する第1のアドレスデコーダと、(3) 入力アドレスをデコードして、RAMセルアレイの所定のエリアをアクセス可能とさせる、ジグザグスキャン状に対応する第2のアドレスデコーダと、(4) RAMセルアレイ及び第1のアドレスデコーダ間を接続又は切断させる第1の接続/切断手段と、(5) RAMセルアレイ及び第2のアドレスデコーダ間を接続又は切断させる、しかも、その制御状態が第1の接続/切断手段による制御状態と逆である第2の接続/切断手段とで構成すると共に、このようなRAMに与えるアドレスを発生するアドレス発生回路を備えていることを特徴とする。

【0019】

【作用】第1の本発明のジグザグスキャン回路は、アドレス発生回路内のジグザグスキャン状アドレス発生手段の構成に特徴を有するものである。ジグザグスキャン状のアドレス変化は、相前後する2個のアドレスの変化状態に着目すると、数種類の状態のいずれかである。従って、現アドレスと状態遷移が定まると、次のアドレスと次の状態遷移を定めることができる。

【0020】第1の本発明は、このようなジグザグスキャンの性質を利用し、ジグザグスキャン状に変化する現アドレスをジグザグアドレスレジスタに保持すると共に、現アドレスから次のアドレスへの遷移状態、又は、前アドレスから現アドレスに変化した際の遷移状態を規定する状態遷移パラメータを状態遷移レジスタに保持し、ジグザグアドレス演算回路が、これら現アドレス及び状態遷移パラメータとに基づいて、次のタイミングでのアドレス及び状態遷移パラメータを求めてそれぞれ対応レジスタに再格納させる。

【0021】ジグザグアドレス演算回路は、ビットデータでなる現アドレス及び状態遷移パラメータを処理するので論理ゲートで構成でき、その結果、高速処理を可能とすると共に、ジグザグスキャン回路全体の小形化に寄与できる。

【0022】また、第2の本発明のジグザグスキャン回路は、入力データの順序を変換するために入力データが一時記憶されるRAM自体に、ラスタスキャン状に応じる構成を盛り込むことで、高速化及び小形化を計ったものである。

【0023】この第2の本発明において、RAMに、入力データを記憶させる際には、ラスタスキャン状に対応する第1のアドレスデコーダ又はジグザグスキャン状に対応する第2のアドレスデコーダの一方を有効にしてRAMセルアレイにデータを格納させ、一方、RAMから格納データを読出す際には、ラスタスキャン状に対応する第1のアドレスデコーダ又はジグザグスキャン状に対応する第2のアドレスデコーダの他方を有効にしてRAMセルアレイからデータを出力させて、データ順序の変換を行なう。

【0024】なお、第1及び第2の本発明共に、RAMを2面（又は3面以上）設けて対称動作（又は切替え動作）させることにより、一段と高速に処理させることができるようになる。

【0025】

【実施例】

(A) 第1実施例

以下、本発明によるジグザグスキャン回路の第1実施例を図面を参照しながら詳述する。ここで、図1がこの第1実施例のジグザグスキャン回路2-1の構成を示すものであり、上述した図4との同一、対応部分には、同一符号を付して示している。

【0026】図1において、第1実施例のジグザグスキャン回路2-1も、大きくみれば、RAM20及びアドレス発生回路24からなり、アドレス発生回路24が発生した書込みアドレス205に基づいて、入力データ201をRAM20に書込み、その後、アドレス発生回路24が発生した読出しアドレス205に基づいて、格納データ202をRAM20から読出すことを通じて、64ワード（1ワードは11ビット）のデータの順序を変換するものである。

【0027】しかし、アドレス発生回路24の詳細構成が、「従来の技術」の項で説明した図4に示すジグザグスキャン回路2とは異なっている。なお、RAM20は同一のものである。RAM20は、図1に示す書込みデータ端子WDや読出しデータ端子RDやアドレス端子Aの他に、図示は省略しているが、書込み又は読出しを指示する信号やクロック信号等の各種のコントロール信号用の入出力端子を当然に備えている。

【0028】この第1実施例のアドレス発生回路24

は、例えば、これ全体が1チップで構成されているものであり、アドレスレジスタ25、状態遷移レジスタ26、インクリメンタ27、ジグザグアドレス演算回路28及び選択器29から構成されている。

【0029】アドレスレジスタ25は、RAM20に与える6ビット構成のアドレス205を一時記憶するものであり、一時記憶したアドレス205は、RAM20だけでなくインクリメンタ27及びジグザグアドレス演算回路28にも与えられる。

【0030】状態遷移レジスタ26は、ジグザグアドレス演算回路28から出力された4ビット構成の状態遷移パラメータ207(SYU, SYD, SXU, SXD)を一時記憶するものであり、一時記憶した状態遷移パラメータ207をジグザグアドレス演算回路28に出力するものである。

【0031】インクリメンタ27は、アドレスレジスタ25に一時記憶されたアドレス205を1インクリメントして選択器29に与えるものである。

【0032】ジグザグアドレス演算回路28は、後述する一例のように例えばゲートアレイで構成され、アドレスレジスタ25からのアドレス205及び状態遷移レジスタ26からの状態遷移パラメータ207に基づいて、次のタイミングでのアドレス209及び状態遷移パラメータ208を形成してそれぞれ、選択器209、状態遷移レジスタ26に出力するものである。

【0033】なお、ジグザグアドレス演算回路28の動作原理、構成及び動作の詳細については後述する。

【0034】選択器29は、外部から与えられたアドレス種類信号(図示せず)に基づいて、ジグザグアドレス演算回路28からのアドレス209又はインクリメンタ27からのアドレス206の一方を選択し、選択アドレス210をアドレスレジスタ25に入力させるものである。ここで、選択器29は、画像圧縮時に入力データ201をRAM20に書込む際や、画像伸張時にRAM20から格納データ202を讀出す際には、アドレス種類信号に基づいて、インクリメンタ27からのアドレス206を選択させ、画像圧縮時に格納データ202をRAM20から讀出す際や、画像伸張時にRAM20に入力データ201を書込む際には、アドレス種類信号に基づいて、ジグザグアドレス演算回路28からのアドレス209を選択させる。

【0035】以上の構成を有するジグザグスキャン回路2-1は、画像圧縮時には以下のように動作する。

【0036】画像圧縮時において、RAM20に入力データ201を書込む際には、選択器29はインクリメンタ27からのアドレス206を選択する状態になると共に、アドレスレジスタ25は初期値として“000000”(2進表記)が設定される。かくして、RAM20には、インクリメント27が1インクリメントずつ更新させた0、1、2、3、…、63(10進表記)と変化

する書込みアドレス205(図3(d)参照)が与えられ、各アドレスエリアに入力データ201が格納される。全64ワードの入力データ201がRAM20に格納されると、RAM20からの讀出し動作に移行する。

【0037】この画像圧縮時において、RAM20から格納データ202を讀出す際には、選択器29はジグザグアドレス演算回路28からのアドレス209を選択する状態になると共に、アドレスレジスタ25は初期値として“000000”(2進表記)が設定され、状態遷移レジスタ26には初期値として“0110”(2進表記;意味については後述する)が設定される。ジグザグアドレス演算回路28は、両レジスタ25及び26の格納データに基づいて、ジグザグスキャン状に従う次のアドレス209と、現アドレスから次のアドレスへ移行する際の状態遷移を規定する状態遷移パラメータ208とを順次出力し、これにより、アドレスレジスタ25に保持されてRAM20に与えられる讀出しアドレス205は、0、1、8、16、…、64(10進表記)のようにジグザグスキャン状に変化する(図3(d)参照)。

【0038】かくして、上記図3(b)に示すようなラスタスキャン状のデータ順序に従う入力データ201が上記図3(c)に示すようなジグザグスキャン状のデータ順序に従う出力データ202に変換される。

【0039】一方、画像伸張時において、入力データ201をRAM20に順次書込む際には、ジグザグアドレス演算回路28が形成して選択器29を介してアドレスレジスタ25に与えられて一時記憶された0、1、8、16、…、64(10進表記)のようにジグザグスキャン状に変化するアドレス209が書込みアドレス205としてRAM20に与えられ(図3(e)参照)、RAM20から格納データ202を讀出す際には、インクリメンタ27が1インクリメントずつ更新し、選択器29を介してアドレスレジスタ25に与えられて一時記憶された0、1、2、3、…、64(10進表記)のようにラスタスキャン状に変化するアドレス206が讀出しアドレス205としてRAM20に与えられる(図3(e)参照)。

【0040】かくして、上記図3(c)に示すようなジグザグスキャン状のデータ順序に従う入力データ201が上記図3(b)に示すようなラスタスキャン状のデータ順序に従う出力データ202に変換される。

【0041】以下、ジグザグアドレス発生回路28について、動作原理、動作及び構成について詳述する。

【0042】この実施例の場合、6ビットのアドレス205は、ジグザグアドレス演算回路28での処理との関係では、上位3ビットと下位3ビットとは区別されている。今、画像圧縮時にシリアルに入力される64ワードの各データに対して、アドレス0000000~1111111(2進表記;10進表記では0~63)を対応付け、それら64ワードのシリアルデータを8×8の方形

状にラスタ状に配置したと考えると、各ワードについての6ビットアドレスは、図5に示すように、下位3ビットが横方向（以下、X方向と呼ぶ）の位置を規定し、上位3ビットが縦方向（以下、Y方向と呼ぶ）の位置を規定していることになる。以下、下位3ビットをジグザグアドレス発生回路28との関係ではXアドレスと呼び、上位3ビットをジグザグアドレス発生回路28との関係ではYアドレスと呼ぶ。

【0043】また、図5に示すようなXアドレス及びYアドレスの組として、各データのアドレスを捕らえた場合において、ジグザグスキャン上でのアドレス変化状態は、図6に示すような4個の状態S1～S4に分類できる。すなわち、次のアドレスは、現アドレスよりXアドレスのみ+1したアドレスになる状態S1（図中実線で示している）、次のアドレスは、現アドレスよりYアドレスのみ+1したアドレスになる状態S2（図中破線で示している）、次のアドレスは、現アドレスよりXアドレスは-1、Yアドレスは+1になる状態S3（図中1点鎖線で示している）、次のアドレスは、現アドレスよりXアドレスは+1、Yアドレスは-1になる状態S4（図中2点鎖線で示している）に分類できる。

【0044】これら4状態S1～S4を区別するための状態遷移パラメータの表現としては、種々のものがある。

【0045】例えば、Yアドレスが変化したか（“1”）否か（“0”）を表す1ビットパラメータと、Yアドレスが変化した場合に+1か（“1”）-1か（“0”）を表す1ビットパラメータと、Xアドレスが変化したか（“1”）否か（“0”）を表す1ビットパラメータと、Xアドレスが変化した場合に+1か（“1”）-1か（“0”）を表す1ビットパラメータとの4ビットパラメータで表現することができる。また例えば、Yアドレスが+1変化したか（“1”）か否か（“0”）を表す1ビットパラメータSYUと、Yアドレスが-1変化したか（“1”）か否か（“0”）を表す1ビットパラメータSYDと、Xアドレスが+1変化したか（“1”）か否か（“0”）を表す1ビットパラメータSXUと、Xアドレスが-1変化したか（“1”）か否か（“0”）を表す1ビットパラメータSXDとの4ビットパラメータで表現することができる。

【0046】この実施例では、後者の表現を用いることとした。なお、前者の表現を用いて構成したジグザグアドレス演算回路を適用したものも本発明の他の実施例を構成する。

【0047】従って、図6に示すように、状態S1は、4ビットの状態遷移パラメータSYU、SYD、SXU、SXDで“0010”、状態S2は“1000”、状態S3は“1001”、状態S4は“0110”で表される。

【0048】これら状態遷移パラメータSYU、SYD、SXU、SXDが上述した状態遷移レジスタ26に一時保持される。

【0049】ここで、現アドレス205がアドレスレジスタ25に一時記憶されると同時に状態遷移レジスタ26に一時記憶される状態遷移パラメータ207（SYU、SYD、SXU、SXD）としては、現アドレス205に遷移した際の状態遷移パラメータ207（SYU、SYD、SXU、SXD）を記憶することと、現アドレス205から次のアドレスへの遷移を表す状態遷移パラメータ207（SYU、SYD、SXU、SXD）を一時記憶させることが考えられるが、この実施例では前者を採用している。なお、後者の一時記憶方法も本発明の他の実施例を構成する。

【0050】図6から明らかなように、上記4状態S1～S4間の遷移を整理すると図7に示す状態遷移図で表すことができる。

【0051】まず、状態S1からの遷移を考える。状態S1からは状態S3及びS4に遷移し得る（A13、A14）。状態S3へ遷移するか状態S4に遷移するかは、そのときのYアドレスによって区別できる。すなわち、図6から明らかなように、Yアドレスが“000”のときの状態S1からは状態S3に遷移し、Yアドレスが“111”のときの状態S1からは状態S4に遷移するので、Yアドレスによって区別できる。

【0052】次に、状態S2からの遷移を考える。状態S2からは状態S3及びS4に遷移し得る（A23、A24）。状態S3へ遷移するか状態S4に遷移するかは、そのときのXアドレスによって区別できる。すなわち、図6から明らかなように、Xアドレスが“000”のときの状態S2からは状態S4に遷移し、Xアドレスが“111”のときの状態S2からは状態S3に遷移するので、Xアドレスによって区別できる。

【0053】次に、状態S3からの遷移を考える。状態S3からは状態S1、S2及びS3に遷移し得る（A31、A32、A33）。どの状態S1、S2及びS3に遷移するかは、そのときのXアドレスやYアドレスによって区別できる。すなわち、図6から明らかなように、Xアドレスが“000”のときの状態S3からは状態S2に遷移し、Yアドレスが“111”のときの状態S3からは状態S1に遷移し、これ以外の状態S3からは状態S3に遷移するので、Xアドレス及びYアドレスによって区別できる。

【0054】最後に、状態S4からの遷移を考える。状態S4からは状態S1、S2及びS4に遷移し得る（A41、A42、A44）。どの状態S1、S2及びS4に遷移するかは、そのときのXアドレスやYアドレスによって区別できる。すなわち、図6から明らかなように、Yアドレスが“000”のときの状態S4からは状態S1に遷移し、Xアドレスが“111”のときの状態S4から

は状態S2に遷移し、これ以外の状態S4からは状態S4に遷移するので、Xアドレス及びYアドレスによって区別できる。

【0055】このようにして現アドレス及び現状態から次の状態が定まると、現アドレス及び次の状態から次のアドレスを決定することができる。

【0056】アドレス発生時の初期値としては、現アドレスは当然に“000000”であり、上記遷移条件から逆に考えると、初期の状態遷移パラメータ207が表す状態は状態S4(“0110”)である。

【0057】図8は、上記遷移規則を適用した場合のYアドレス、Xアドレス、状態遷移パラメータSYU、SYD、SXU、SXDのサイクル毎の変化を示すものである。ここで、Yアドレス、Xアドレス、状態遷移パラメータSYU、SYD、SXU、SXDは全てビットデータであるので、かかる遷移を実現するジグザグアドレス演算回路28は、論理ゲートの組み合わせによって実現できる。

【0058】図9～図11は、上記遷移規則を適用した論理ゲートの組み合わせによって実現されたジグザグアドレス演算回路28の一構成例を示すものである。

【0059】この構成例は、Xアドレスに変化がない状態の次にはXアドレスに変化がある状態が現れることと、Yアドレスに変化がない状態の次にはYアドレスに変化がある状態が現れること(S1からS3又はS1からS4)等の性質を、次の状態遷移パラメータSYU、SYD、SXU、SXDの形成に利用している。また、XアドレスやYアドレスの変化は、+1、0、-1のいずれかであることを、次のアドレスの形成に利用している。

【0060】図9は、主として、次の状態遷移パラメータSYU、SYD、SXU、SXDや次のアドレスを形成するための条件値を作成する部分である。図9(a)に示す部分は、アドレスレジスタ25からのアドレス205をYアドレス及びXアドレスと区別して取り込む部分である。図9(b)に示す部分は、状態遷移レジスタ26からの状態遷移パラメータ207をY方向及びX方向のパラメータとして区別して取り込むと共に、その否定値を形成する部分である。図9(c)に示す部分は、Yアドレスが“000”や“111”であるか否かを示す条件値を形成する部分である。図9(d)に示す部分は、Xアドレスが“000”や“111”であるか否かを示す条件値を形成する部分である。図9(e)に示す部分は、現状態がY方向に変化した状態か否かを表す条件値を形成する部分である。図9(f)に示す部分は、現状態がX方向に変化した状態か否かを表す条件値を形成する部分である。図9(g)に示す部分は、最終アドレス(“111111”)に到達したか否かを表す部分である。

【0061】図10は、各種条件値に基づいて、次の状

態遷移パラメータを形成して状態遷移レジスタ26に出力する部分を示している。図10(a)、(b)、

(c)、(d)に示す部分はそれぞれ、次の状態の状態遷移パラメータSYU、SYD、SXU、SXDを形成する部分である。

【0062】図11は、次の状態及び現アドレス等から次のアドレスを形成する部分を示している。図11

(a)、(b)に示す部分はそれぞれ、次のXアドレス、Yアドレスを形成してアドレスレジスタ25に出力する部分である。次のXアドレス、Yアドレスはそれぞれ、現Xアドレス、現Yアドレスに+1、0、-1のいずれかの操作を行なうことで形成でき、図11(c)は、図11(a)、(b)におけるかかる操作を行なう部分28aの詳細構成例を示している。

【0063】以上のように、第1実施例によれば、ジグザグスキャンを一種の状態遷移とみなして、ジグザグスキャン状のアドレス発生を、論理ゲートでなるジグザグアドレス演算回路、状態遷移レジスタ及びアドレスレジスタとの協働によって行なうようにしたので、ジグザグスキャン発生回路の占有面積を小さくできて小形化に寄与できると共に、高速にアドレスを発生できるようになる。なお、第1実施例のジグザグスキャン回路は、特に、そのアドレス発生回路24は、セミカスタム、ゲートアレイ向きである。

【0064】上記説明においても、第1実施例を変形したいくつかの他の実施例を挙げたが、更に、以下のような第1実施例を変形したいくつかの他の実施例を挙げることができる。

【0065】第1実施例は、ジグザグスキャン状のアドレスの形成構成に特徴があり、ラスタスキャン状のアドレスの形成構成は、第1実施例のものに限定されない。例えば、クロックによって1インクリメントずつ行なうカウンタを用いたものであっても良い。また、アドレスレジスタ25及びインクリメント27(又はカウンタ)の出力側に選択器29を設けることも可能である。

【0066】第1実施例においては、次のアドレスをXアドレス及びYアドレスを別個に操作することで形成するものを示したが、Xアドレス及びYアドレスを区別することなく、全体のアドレスを操作して新たなアドレスを形成するようにしても良い。例えば、図5から明らかのように、サイクル毎の全体アドレスの変化は、+1、+7、+8及び-7の4種類しかなく、この変化は状態の遷移によって一義なので、この性質を利用して次のアドレスを形成するようにしても良い。

【0067】また、第1実施例においては、次の状態遷移パラメータを形成した後、次のアドレスを形成するものを示したが、逆の順序で形成するようにしても良い。例えば、他の実施例として上述した状態遷移レジスタ26に現アドレスから次のアドレスへの変化状態に係る状態遷移パラメータを格納するものの場合、このような順

10

20

30

40

50

序での処理が構成を簡単にする。

【0068】さらに、第1実施例においては、ジグザグスキャンでのアドレス変化状態を4種類に別けてジグザグアドレス演算回路28を構成したものを示したが、状態数や状態を区別する観点はこの限定されるものではない。例えば、上述した状態S1を、Yアドレスが“000”での状態とYアドレスが“111”での状態とに分け、また、上述した状態S2を、Xアドレスが“000”での状態とXアドレスが“111”での状態とに分け、計6種類の状態にし、これら6種類の状態遷移に応じてジグザグアドレス演算回路28を形成するようにしても良い。

【0069】(B) 第2実施例

次に、本発明によるジグザグスキャン回路の第2実施例を図面を参照しながら詳述する。ここで、図12がこの第2実施例のジグザグスキャン回路2-2の構成を示すものである。

【0070】この第2実施例においては、データ順序を変換するためにデータが書き込めると共に、その後読み出されるRAMとして2個の同一構成のRAM20a及び20bが設けられており、これらRAM20a及び20bは、第1の実施例のものと同様なものである。これらRAM20a及び20bは、図示しない書込／読出コントロール信号に応じて、相補的に(対称的に)動作するものである。すなわち、RAM20aが入力データ201を書き込んでいるときには、RAM20bは格納データ202bを読出し動作し、RAM20aが格納データ202aを読出ししているときには、RAM20bは入力データ201を書込み動作する。

【0071】これらRAM20a及び20bに対するアドレス発生構成は共用化されており、アドレス発生構成としては、カウンタ22、ジグザグアドレス発生回路24a、2個の選択器38及び39が該当する。

【0072】カウンタ22は6ビット構成のものであり、アドレスをラスタスキャン状に発生するものである。発生したアドレス203は、選択器38及び39に選択入力として与えられる。

【0073】ジグザグアドレス発生回路24aは、その内部構成が、第1の実施例のアドレス発生回路24から、インクリメント27及び選択器29を取除き、データ線209及び210を直接接続したものに等しい(図1参照)。従って、ジグザグアドレス発生回路24aは、ジグザグスキャン状に従うアドレス205を発生し、このアドレス205も選択器38及び39に選択入力として与えられる。

【0074】選択器38は、ジグザグアドレス発生回路24aからのアドレス205と、カウンタ26からのアドレス203との一方を選択して、RAM20aに入力するものである。一方、選択器39は、ジグザグアドレス発生回路24aからのアドレス205と、カウンタ2

6からのアドレス203との一方を選択して、RAM20bに入力するものである。ここで、選択器38及び39は、図示しない選択制御信号に応じて、一方がジグザグアドレス発生回路24aからのアドレス205を選択しているときには、他方がカウンタ26からのアドレス203を選択するように制御される。

【0075】両RAM20a及び20bから読み出されたデータ202a及び202bは共に、選択器37に与えられ、選択器37は、図示しない選択制御信号に応じて、そのとき、読出し動作を実行しているRAM20a又は20bからの出力データ202(202a又は202b)を選択して、当該ジグザグスキャン回路2-2からの出力データとして送出する。

【0076】上述したように、画像圧縮時と画像伸張時とは、書込みアドレス及び読出しアドレスとして、ラスタスキャン状又はジグザグスキャン状のいずれのアドレスを選択するかの違いだけであり、その他は同様であるので、以下では画像圧縮時についてのみ図13をも参照しながら動作を説明する。なお、図13は、当該ジグザグスキャン回路2-2に与えられる動作クロック(図12では省略している)と、RAM20a及び20bの動作内容との関係を示すものである。

【0077】まず、選択器38をカウンタ22からのアドレス203を選択する状態に切り替え、カウンタ22からのラスタスキャン状に変化するアドレス203をRAM20aに与えて、最初の64サイクルT1の入力データ201をRAM20aに格納させる。

【0078】RAM20aに対する全ての書込みが完了すると、選択器38をジグザグアドレス発生回路24aからのアドレス205を選択する状態に切り替え、一方、選択器39をカウンタ22からのアドレス203を選択する状態に切り替え、さらに、選択器37をRAM22aからの出力データ202aを選択する状態に切り替える。これにより、新たな64サイクルT2では、RAM20aから前の64サイクルT1で格納された64ワードのデータ202aがジグザグスキャン状に読み出されて外部に出力され、これに並行して、RAM20bに64ワードの入力データ201がラスタスキャン状に書き込まれる。

【0079】かかる64サイクルT2が終了すると、選択器38をカウンタ22からのアドレス203を選択する状態に切り替え、一方、選択器39をジグザグアドレス発生回路24aからのアドレス205を選択する状態に切り替え、さらに、選択器37をRAM22bからの出力データ202bを選択する状態に切り替える。これにより、新たな64サイクルT3では、RAM20bから前の64サイクルT2で格納された64ワードのデータ202bがジグザグスキャン状に読み出されて外部に出力され、これに並行して、RAM20aに64ワードの入力データ201がラスタスキャン状に書き込まれ

る。

【0080】以下、以上のようなRAM22a及び22bに対する相補的な動作が繰り返され、入力データ201を待機させることなく、入力データ201をジグザグスキャン状に変化する順序のデータに連続して変換できる。

【0081】従って、上記第2実施例によれば、データ順序変換用のRAMとして2面を用いて連続的にデータ順序を変換すると共に、ジグザグアドレス発生回路として、ジグザグスキャンを一種の状態遷移とみなして構成したものを適用したので、ハードウェアの僅かな大型化でかなりの高速性を実現できるジグザグスキャン回路を提供できる。なお、第2実施例のジグザグスキャン回路は、高速のセミカスタム、ゲートアレイ向きである。

【0082】なお、第2実施例を変形した実施例としては、ラスタスキャン状アドレスをカウンタ22ではなくインクリメンタが発生するようにしたものや、アドレスが7ビット以上である2ポートRAMをRAM20a及び20bとして用いたもの等を挙げることができる。後者の場合、アドレスが7ビット目以上の上位ビットでRAM20a及び20bとして動作するメモリ領域を特定することを要する。

【0083】(C) 第3実施例

次に、本発明によるジグザグスキャン回路の第3実施例を図面を参照しながら詳述する。ここで、図14がこの第3実施例のジグザグスキャン回路2-3の構成を示すものである。

【0084】第3実施例のジグザグスキャン回路2-3は、データ順序変換のために入力データ201を一時的に記憶するRAM20-1と、ラスタスキャン状アドレスを発生するカウンタ22から構成されている。

【0085】この第3実施例のRAM20-1は、2種類のアドレス入力ポートAA及びBAを有し、その双方にカウンタ22からのアドレス203が入力されるようになされており、また、いずれのアドレス入力ポートを有効とするかを表すアドレス制御信号220も入力されるようになされている。

【0086】RAM20-1の内部は、ラスタスキャン用アドレスデコーダ30、RAMセルアレイ31、ジグザグスキャン用アドレスデコーダ32、第1のトライステートバッファ群33a~33n、第2のトライステートバッファ群34a~34n及びインバータ35から構成されている。

【0087】RAMセルアレイ31は、内部構成（セルやセンスアンプ等）が一般的なRAMのものと同様なものであるが、第1のトライステートバッファ群33a~33nを介してラスタスキャン用アドレスデコーダ30から所望のワード線に駆動電圧が適宜供給され得ると共に、第2のトライステートバッファ群34a~34nを介してジグザグスキャン用アドレスデコーダ32から所

望のワード線に駆動電圧が適宜供給され得るようになっていてる。

【0088】ラスタスキャン用アドレスデコーダ30は、第1実施例や第2実施例のRAM20、20a、20bと同様なデコードを行なうものであり、入力アドレス203によって定まるRAMセルアレイ31のワード線に駆動電圧を供給するものである。一方、ジグザグスキャン用アドレスデコーダ32は、ラスタスキャン用アドレスデコーダ30のデコード内容が図15のカラムC1及びC2に示すような場合に、図15のカラムC3に示すように入力アドレス203をデコードし、RAMセルアレイ31のデコードで定まったワード線に駆動電圧を供給するものである。

【0089】第1のトライステートバッファ群33a~33nは、アドレス制御信号220が“1”のときに、ラスタスキャン用アドレスデコーダ30をRAMセルアレイ31に接続させ、これに対して、アドレス制御信号220が“0”のときに、ラスタスキャン用アドレスデコーダ30をRAMセルアレイ31から切り離すものである。第2のトライステートバッファ群33a~33nには、アドレス制御信号220がインバータ35を介して反転されて与えられる。そのため、第2のトライステートバッファ群33a~33nは、アドレス制御信号220が“0”のときに、ジグザグスキャン用アドレスデコーダ32をRAMセルアレイ31に接続させ、これに対して、アドレス制御信号220が“1”のときに、ジグザグスキャン用アドレスデコーダ32をRAMセルアレイ31から切り離す。

【0090】なお、図14では、書込み又は読出しを指示するコントロール信号等の信号線やその処理構成は図示を省略している。

【0091】次に、画像圧縮時の動作を説明する。最初の64サイクルによって、64ワードの入力データ201を順次RAM20-1の各ワードに書き込んで行く際には、アドレス制御信号220はその期間中“1”を示している。カウンタ22が初期値0から順次カウントアップし、アドレス203が0から63に順次変化する。ラスタスキャン用アドレスデコーダ30があるサイクルのアドレス203をデコードしたときには、第1のトライステートバッファ群33a~33nを介してRAMセルアレイ31の所望のワード線に駆動電圧が供給され、そのサイクルでの入力データ201が格納される。このようにして、RAM20-1には第0番地から第63番地のワードまで順序よくデータが書き込まれる。

【0092】RAM20-1に64ワードのデータ201が書き込まれた後、64サイクルかかってデータを読み出すこととなる。RAM20-1から格納データ202を読み出して出力していく際には、アドレス制御信号220は“0”を示しており、この間、RAMセルアレイ31へのワード線の駆動電圧は、第2のトライステート

バッファ群 34a ~ 34n を介してジグザグスキャン用アドレスデコーダ 32 から供給される。アドレスデコーダ 32 は、カウンタ 22 のカウントが 0 から 63 まで順次カウントアップされていくに従って、ジグザグスキャン状の所望のワード線駆動電圧を RAM セルアレイ 31 に供給し、これにより RAM セルアレイ 31 から、ジグザグスキャンの順序でデータ 202 が読み出される。

【0093】従って、上記第 3 実施例によれば、RAM 20-1 内にジグザグスキャン用のデコーダを設けたので、占有面積が小さくなって小形化に寄与でき、しかも、別にゲート回路を設ける必要もなく設計が容易な高速動作が可能なジグザグスキャン回路を提供できる。なお、第 3 実施例のジグザグスキャン回路は、カスタム設計や面積重視設計に向けたものである。

【0094】第 3 実施例を変形した実施例としては、カウンタ 22 をも RAM 22-1 と同一チップ上に形成したものや、カウンタ 22 に代えて他のアドレス発生構成を適用したもの等を挙げることができる。

【0095】(D) 第 4 実施例

次に、本発明によるジグザグスキャン回路の第 4 実施例を図面を参照しながら詳述する。ここで、図 16 がこの第 4 実施例のジグザグスキャン回路 2-4 の構成を示すものである。

【0096】第 4 実施例のジグザグスキャン回路 2-4 は、第 3 実施例に示す構成を 2 面持たせて相補動作（対称動作）させると共に、それらの出力データ 202a 及び 202b を選択する選択器 37 を設けたものである。そのため、各面の動作は第 3 実施例と同様であり、面の制御は第 2 実施例と同様であるので、動作の説明は省略する。

【0097】第 4 実施例によれば、ジグザグスキャン用の RAM を 2 面設けて相補動作させるようにしたので、従来のものに比べて、格段的に高速にデータ順序変換を行なうことができるジグザグスキャン回路を提供できる。なお、第 4 実施例のジグザグスキャン回路は、カスタム設計や処理速度重視設計に向けたものである。

【0098】第 4 実施例を変形した実施例としては、2 面のカウンタ 22a 及び 22b を共用化させたものや、カウンタ 22a 及び 22b に代えて他のアドレス発生構成を適用したもの等を挙げることができる。

【0099】(E) 他の実施例

上記でも種々本発明の他の実施例について言及したが、さらにいくつかの他の実施例を挙げると以下の通りである。

【0100】上記各実施例では、データ順序の変換に供するワード数が 64 個のものを示したが、整数の他の 2 乗がワード数のものにも本発明を適用することができる。また、各ワードのビット数も 11 ビットに限定されるものではない。

【0101】上記各実施例においては、RAM として入

力データ端子と出力データ端子とが別個のものを示したが、これらが同じ端子の RAM であっても良い。

【0102】本発明のジグザグスキャン回路は、画像符号化／復号化装置に適用されるだけでなく、画像符号化専用装置や画像復号化専用装置にも適用できる。さらに、データシャフリングを要する装置等にも適用可能である。

【0103】上記第 2 実施例及び第 4 実施例においては、RAM を 2 面設けたものを示したが、タイミング等によって完全な対称動作が難しいのならば、3 面以上設けて切り替えて用いるようにしても良い。

【0104】

【発明の効果】以上のように、第 1 の本発明によれば、ジグザグスキャン状に変化するアドレスを発生するジグザグスキャン状アドレス発生手段を、ジグザグスキャン状に変化するアドレスを保持するジグザグアドレスレジスタと、現アドレスから次のアドレスへの遷移状態、又は、前アドレスから現アドレスに変化した際の遷移状態を規定する状態遷移パラメータを保持する状態遷移レジスタと、これらレジスタに保持されている現アドレス及び状態遷移パラメータとに基づいて、次のタイミングでのアドレス及び状態遷移パラメータを求めるジグザグアドレス演算回路とで構成したので、高速処理が可能な小形のジグザグスキャン回路を提供できる。

【0105】また、第 2 の本発明によれば、ラスタスキャン状のデータ順序とジグザグスキャン状のデータ順序との間で入力データの順序を変換するために入力データを一時記憶する RAM を、入力データを記憶する RAM セルアレイと、入力アドレスをデコードして、RAM セルアレイの所定のエリアをアクセス可能とさせる、ラスタスキャン状に対応する第 1 のアドレスデコーダと、入力アドレスをデコードして、RAM セルアレイの所定のエリアをアクセス可能とさせる、ジグザグスキャン状に対応する第 2 のアドレスデコーダと、RAM セルアレイ及び第 1 のアドレスデコーダ間を接続又は切断させる第 1 の接続／切断手段と、RAM セルアレイ及び第 2 のアドレスデコーダ間を接続又は切断させる、しかも、その制御状態が第 1 の接続／切断手段による制御状態と逆である第 2 の接続／切断手段とで構成すると共に、この RAM に与えるアドレスを発生するアドレス発生回路を備えたので、高速処理が可能な小形のジグザグスキャン回路を提供できる。

【図面の簡単な説明】

【図 1】第 1 実施例の構成を示すブロック図である。

【図 2】画像符号化、復号化装置におけるジグザグスキャン回路の位置を示すブロック図である。

【図 3】ジグザグスキャン回路によるデータ順序の変換の様子等の説明図である。

【図 4】考えられる従来のジグザグスキャン回路を示すブロック図である。

19

【図 5】第 1 実施例においてアドレスを方向別アドレスに別けて処理することの説明図である。

【図 6】第 1 実施例での状態種類の説明図である。

【図 7】第 1 実施例での状態遷移図である

【図 8】第 1 実施例のジグザグスキャン時のアドレス及び状態遷移パラメータの変化を示す説明図である。

【図 9】第 1 実施例のジグザグアドレス演算回路の詳細構成図（その 1）である。

【図 10】第 1 実施例のジグザグアドレス演算回路の詳細構成図（その 2）である。

【図 11】第 1 実施例のジグザグアドレス演算回路の詳細構成図（その 3）である。

【図 12】第 2 実施例を示すブロック図である。

【図 13】第 2 実施例の動作の説明図である。

【図 14】第 3 実施例を示すブロック図である。

20

【図 15】第 3 実施例の RAM 内デコーダのデコード内容の説明図である。

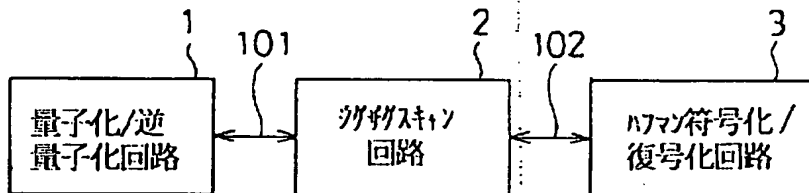
【図 16】第 4 実施例を示すブロック図である。

【符号の説明】

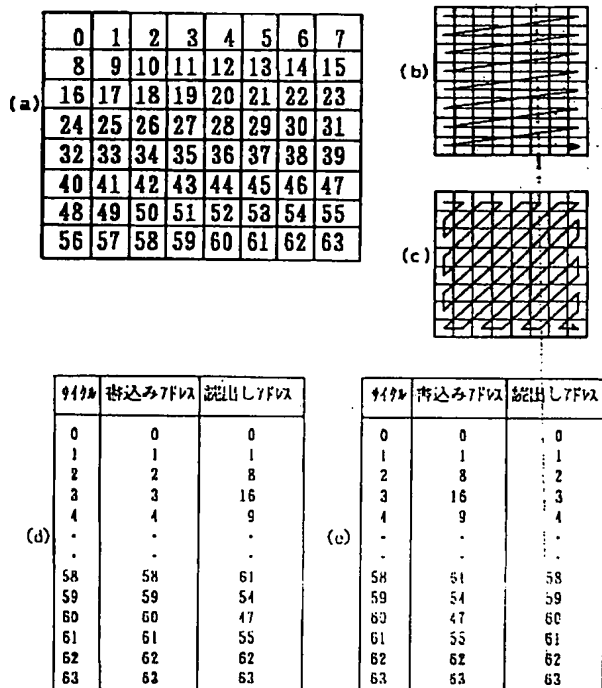
2-1、2-2、2-3、2-4…ジグザグスキャン回路、20、20a、20b、20-1、20-1a、20-1b…RAM、22、22a、22b…カウンタ、24…アドレス発生回路、24a…ジグザグアドレス発生回路、25…アドレスレジスタ、26…状態遷移レジスタ、27…インクリメンタ、28…ジグザグアドレス演算回路、29、37~39…選択器、30、32…アドレスデコーダ、31…RAM セルアレイ、33a~33n、34a~34n…トライステートバッファ、35…インバータ。

10

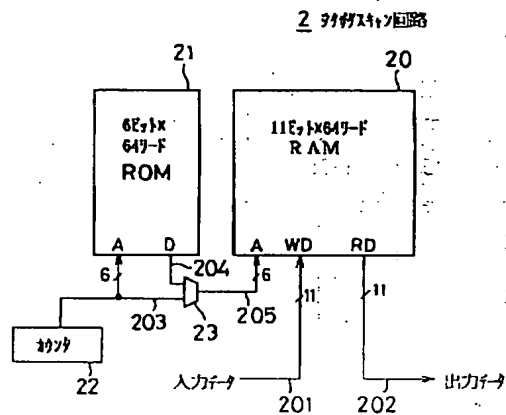
【図 2】



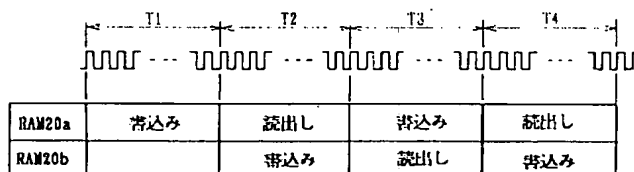
【図 3】



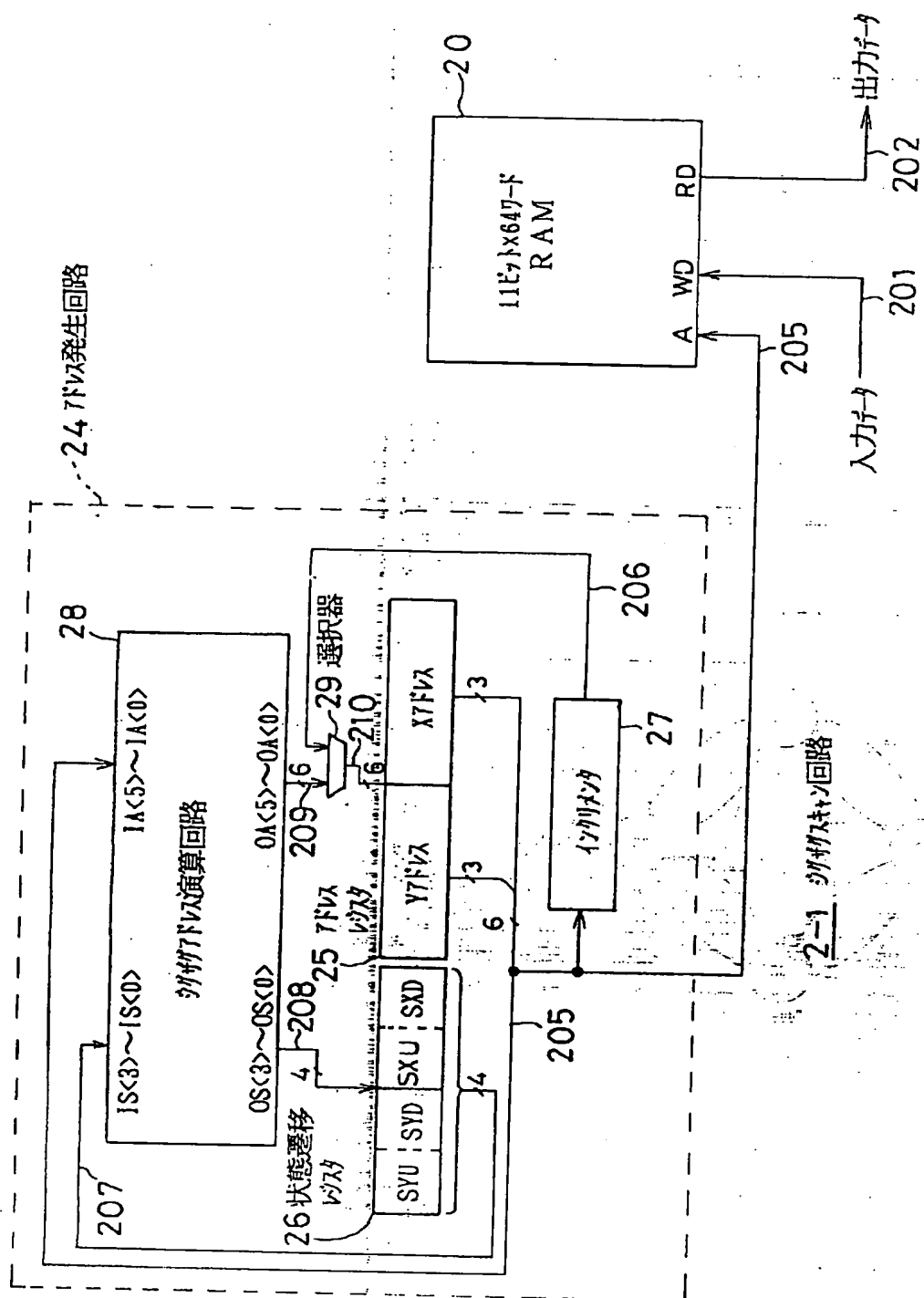
【図 4】



【図 13】



【图 1】

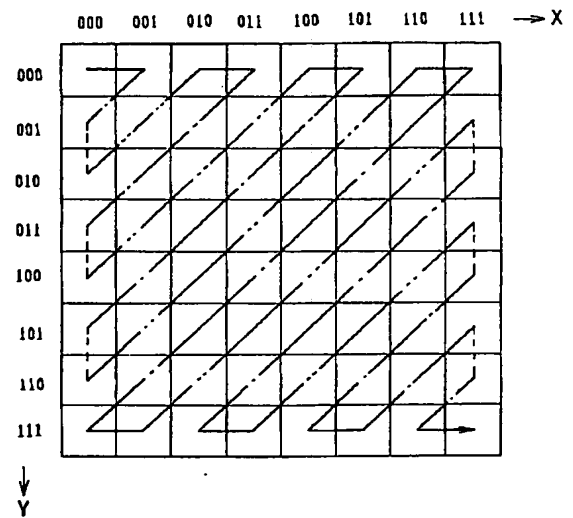


【図 5】

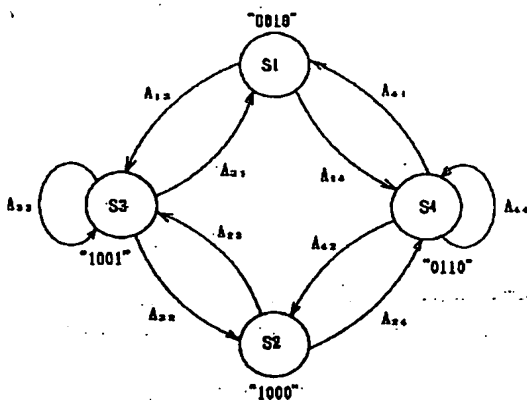
	000	001	010	011	100	101	110	111	→ X (下位3ビット)
000	0	1	2	3	4	5	6	7	
001	8	9	10	11	12	13	14	15	
010	16	17	18	19	20	21	22	23	
011	24	25	26	27	28	29	30	31	
100	32	33	34	35	36	37	38	39	
101	40	41	42	43	44	45	46	47	
110	48	49	50	51	52	53	54	55	
111	56	57	58	59	60	61	62	63	

↓ Y (上位3ビット)

【図 6】



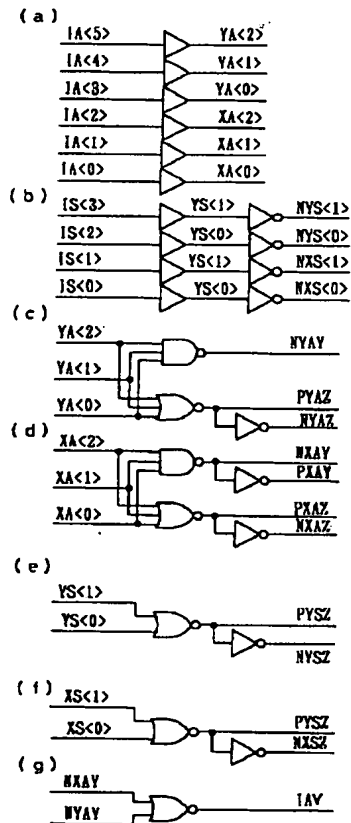
【図 7】



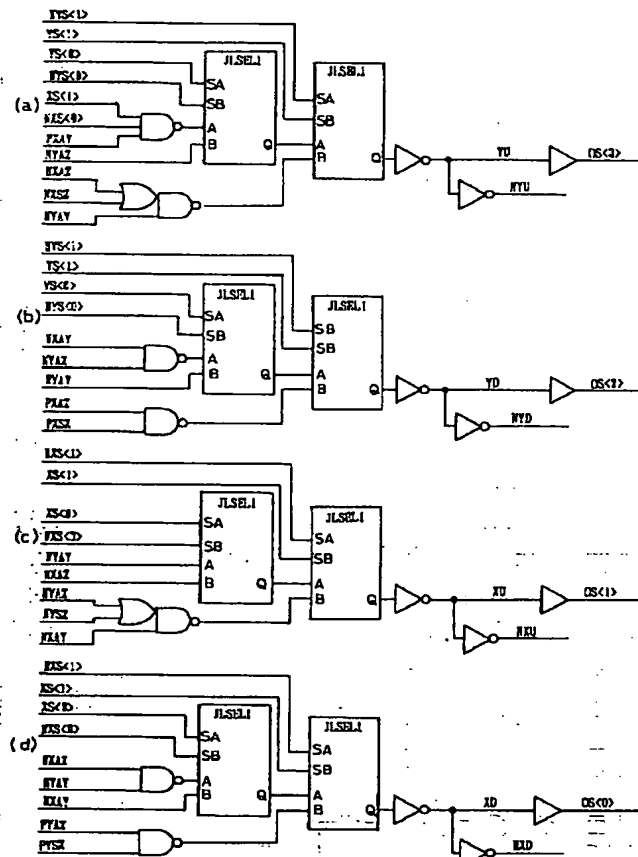
【図 8】

サイクル	Yアドレス	Xアドレス	SYU	SYD	SXU	SXD
0	000	000	0	1	1	0
1	000	001	0	0	1	0
2	001	000	1	0	0	1
3	010	000	1	0	0	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮
59	110	110	0	1	1	0
60	101	111	0	1	1	0
61	110	111	1	0	0	0
62	111	110	1	0	0	1
63	111	111	0	0	1	0

【図 9】

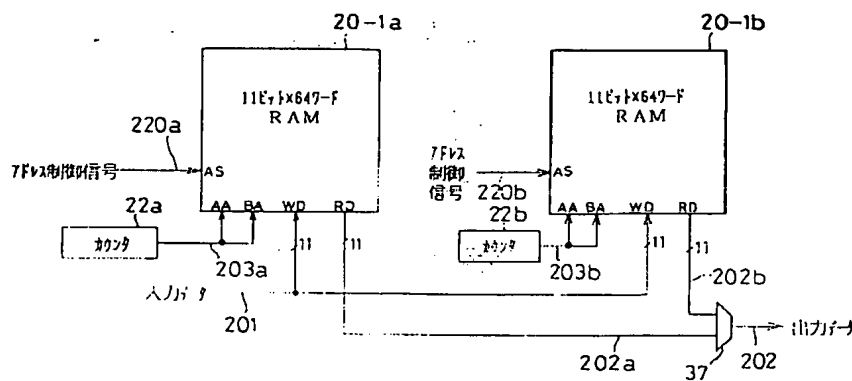


【図 10】

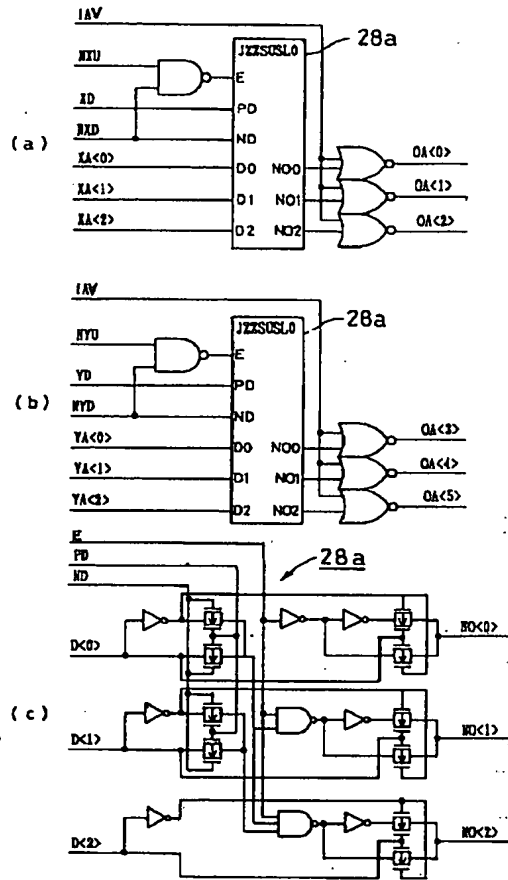


【図 16】

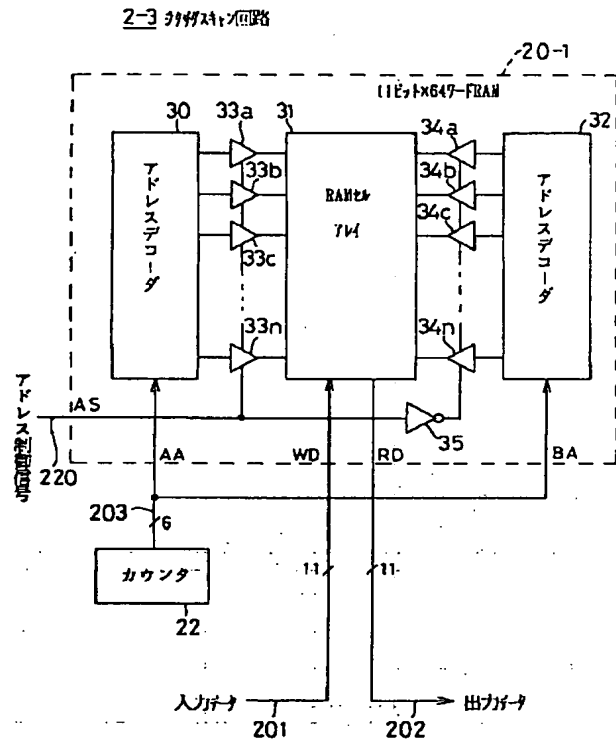
2-4 データバス回路



【図 11】



【図 14】

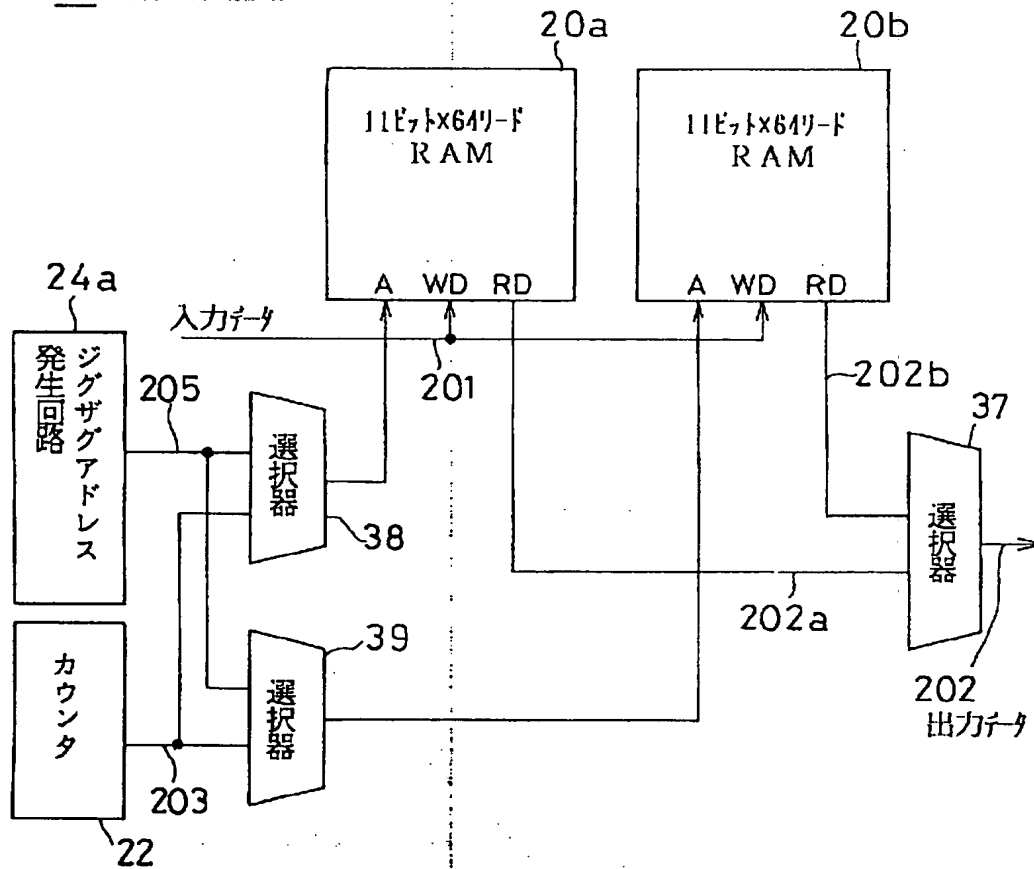


【図 15】

C1	C2	C3
入力7Fh	カウンタ30の出力 が選択するワード	カウンタ32の出力 が選択するワード
0	0	0
1	1	1
2	2	8
3	3	16
4	4	9
5	5	2
6	6	8
7	7	10
8	8	17
9	9	24
10	10	32
11	11	25
12	12	18
.	.	.
.	.	.
50	50	52
51	51	45
52	52	38
53	53	31
54	54	39
55	55	16
56	56	53
57	57	60
58	58	61
59	59	54
60	60	47
61	61	55
62	62	62
63	63	63

【図 1 2】

2-2 シグザグスキャン回路



フロントページの続き

(51) Int. Cl.⁶

H 0 3 M 7/40

H 0 4 N 1/41

7/30

識別記号

庁内整理番号

9382-5K

F I

技術表示箇所

B

H 0 4 N 7/133

Z